Chương 4: Thiết kế hệ VXL chuyên dụng

4.1: Quy trình

VD: Quy trình thiết kế hệ VXL chuyên dụng

Bao gồm 4 bước:

B1: Phân tích thiết kế

B2: Thiết kế phần cứng

B3: Thiết kế phần mềm

B4: Nạp chương trình, chạy thử và hiệu chỉnh

B1: -Tập trung tối đa chí tuệ

+phân tích c/n ,nv hệ thống

+đưa ra các chi tiêu kỹ thuật và phương pháp thực hiện hiện (tổng quan)

B2: Thiết có phần cứng

2.1:Chọn bộ VXL:

+Tốc độ xử lý, khả năng đáp ứng các yêu cầu kỹ thuật

+Độ thành thạo của ng sử dụng

+Số lượng

+Giá thành

2.2:Chọn bộ nhớ hệ thống

-Bộ nhớ chương trình (dung lượng, bộ rộng bus dữ liệu)

-Bộ nhớ dữ liệu

2.3: Thiết kế giao diện giao tiếp với các ngoại vi hệ thống

B3: Thiết kế phần mềm

-Đưa ra lưu đồ thuật toán tổng quát

-Lưu đồ thuật toán chi tiết

-Viết code

B4: Nạp chương trình và chạy thử

4.2: Thiết kế hệ thống thu thông tin đa kênh

B1: Phân tích

-Hệ thống thu thông tin 6 kênh

-Dạng tín hiệu thu về: dạng xung ngẫu nhiên

-Số lượng xung tích lũy: 0 -> 999999 (6 cấp độ)

-Sử dụng màn hiển thị led 7 đoạn (khối 6 led 7 đoạn), dùng chung cho 6 kênh thông tin

-Sử dụng thên bàn phím điều khiển kênh hiển thị

-Khoảng cách giữa các xung tương đối dài -> tốc độ xử lý không cao

B2: Thiết kế phần cứng

B2.1: Chọn bộ VXL: 80286

B2.2: Chọn bộ nhớ:

A,Bộ nhớ chương trình: (dung lượng, độ rộng bus dữ liệu, vị trí đặt ở đâu trong không gian bộ nhớ)

-Không gian bộ nhớ mà 80286 quản lý được: 1MB (A0 -> A19)

\*Dung lượng ROM: chương trình hệ thống + dữ liệu không đổi

-Chương trình <= 1000 câu lệnh -> 3000byte

-Dung lượng lý thuyết: CLT = CTT / 1,3

=> ~ 4000Byte ~ 4Kbyte

\*Độ rộng bus dữ liệu 16bit:

|  |  |  |
| --- | --- | --- |
| A0 |  | Bus dữ liệu |
| 0 | 0 | D0 -> D15 |
| 0 | 1 | D0 -> D4 |
| 1 | 0 | D0 -> D15 |
| 1 | 1 | ---------- |

\*Vị trí đặt:

-Vì khi cấp nguồn cho bộ VXL con trỏ CS:IP chỉ đến địa chỉ FFFF0H nên ta đặt vị trí của bộ nhớ ROM tại địa chỉ cao nhất của không gian bộ nhớ 80286 có thể quản lý

F000:F000H -> F000:FFFFH

\*Tổ chức bộ nhớ 4Kbyte từ 2 IC 2716 ghép // với nhau

-Số dây địa chỉ IC: (m+n)IC = 14-3 =11 (dây)

->Phần động: (A0 -> A10)IC = (A1 -> A11)8086­

->Phần tĩnh: A0, A12 -> A19

A19A18…A12|A11A­10….A1A0

11…1|11…11

11…1|00….0

Đặt tín hiệu kích hoạt ROM là M

M =

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| M | A0 |  | 1 | 2 |
| 1 | X | X | 1 | 1 |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 1 | 1 |

B, Bộ nhớ dữ liệu

\*Dung lượng:

-1 kênh: 000000 -> 999999 mã BCD (2 loại +nén 4bit +không nén 8bit)

-> 3Byte + 1Byte

-> 6 kênh: 4x6=24Byte

-1 Byte chứa cấp số hiển thị 0->5

-2 Byte chứa kênh hiện hành

=> 27 Byte

=> Chọn dung lượng RAM 4KByte

\*Bus dữ liệu: 16bit

\*Vị trí đặt:

Đặt sát ngay sau ROM

F000:E000H

F000:EFFFH

B2.3: Thiết kế các ngoại vi

A, Tổ chức bộ thu thông tin đa kênh:

-Bộ chốt FlipFlop D:

-Nguyên lý: trước khi hoạt động reset đầu thu; mỗi khi cập nhật thông tin từ đầu thu -> reset đầu thu

-Các bộ đệm:

74LS244 bộ đệm dữ liệu 1 chiều

74LS245 bộ đệm dữ liệu 2 chiều

74LS373 gồm 8 mạch FlipFlop D (kích hoạt theo mức)

74LS374 giống 373 nhưng kích hoạt theo sườn

74LS174 6 FlipFlop D

74LS379 4 FlipFlop D

B, Tổ chức màn hiển thị

Bộ 6 Led 7 đoạn

C,Tổ chức bàn phím điều khiển

-Bàn phím 2x5 -> nguyên lý bàn phím

+ quét theo hàng

-Cột nối VCC (logic 1)

-Lần lượt cho từng hàng ở mức logic 0 rồi xét trạng thái của từng phím trên hàng đó

+ quét theo cột

4.3: Thiết kế phần mềm cho hệ VXL

A, Sơ đồ tổng quát